

BUNDESREPUBLIK DEUTSCHLAND

REC'D 29 JUL 2003

WIPO

PCT

10/519201
17 DEC 2004

**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 102 26 914.9

Anmeldetag: 17. Juni 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Verfahren zur Herstellung einer Spacerstruktur

IPC: H 01 L 21/336

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 18. Juni 2003
Deutsches Patent- und Markenamt
Der Präsident
 Im Auftrag

Dzielen

**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Zusammenfassung



Verfahren zur Herstellung einer Spacerstruktur

- 5 Die Erfindung betrifft ein Verfahren zur Herstellung einer Spacerstruktur mit den Schritten: Ausbilden einer Gate-Isolationsschicht (2) mit einer Gate-Abscheidehemmschicht (2A), einer Gateschicht (3) und einer Abdeck-Abscheidehemmschicht (4) auf einem Halbleitersubstrat (1), und Strukturieren der
10 Gateschicht (3) und der Abdeck-Abscheidehemmschicht (4) zum Ausbilden von Gatestapeln (G), wobei unter Verwendung der Abscheidehemmschichten (2A, 4) zum hochpräzisen Ausbilden einer Spacerstruktur eine Isolationsschicht (6) selektiv abgeschieden wird.

15

Figur 2C

Beschreibung

Verfahren zur Herstellung einer Spacerstruktur

- 5 Die vorliegende Erfindung bezieht sich auf ein Verfahren zur Herstellung einer Spacerstruktur und insbesondere auf ein Verfahren zur Herstellung einer Spacerstruktur für Feldeffekttransistoren in einem Sub-100 Nanometer-Bereich.
- 10 Bei der Realisierung von Feldeffekttransistoren, wie sie beispielsweise in MOS-Transistoren aber auch in nichtflüchtigen Speichertransistoren Verwendung finden, werden insbesondere für eine ausreichende Isolierung von sogenannten Gatestapeln und zur selbstjustierenden Ausbildung von Source-/Draingegebieten 15 sogenannte Spacerstrukturen bzw. Seitenwandisolations verwendet.

Figuren 1A und 1B zeigen vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Herstellungsschritte zur Herstellung einer Spacerstruktur gemäß dem Stand der Technik. Gemäß Figur 1A werden hierbei auf einem Trägersubstrat 100, welches üblicherweise aus einem Halbleitermaterial besteht, Gatestapel G mit einer Gate-Isolationsschicht 200 und einer darüber liegenden Steuer- bzw. Gateschicht 300 ausgebildet. Anschließend wird eine Isolationsschicht 400 mit im Wesentlichen konstanter Dicke, d.h. konform an der Oberfläche des Trägersubstrats 100 und der Gatestapel G abgeschieden.

Gemäß Figur 1B wird in einem nachfolgenden Herstellungs- schritt ein anisotropes Ätzverfahren durchgeführt, wie z.B. reaktives Ionenätzen (RIE), wodurch man die endgültige Spacerstruktur S400 erhält, welche eine ausreichende Isolierung bzw. einen ausreichenden Schutz der Gatestapel G und darüber hinaus ein selbstjustierendes Ausbilden der Source-/Draingegebiete S und D im Trägersubstrat 100 beispielsweise mittels (nicht dargestellter) Ionenimplantation ermöglicht.

Nachteilig ist jedoch bei einem derartigen herkömmlichen Verfahren zur Herstellung von Spacerstrukturen eine nur unzureichende Kontrolle der Abmessungen der jeweiligen Spacer S400.

Genauer gesagt ergeben sich durch die konforme Abscheidung

5. auf den Gatestapeln G bereits beträchtliche Dickenschwankungen für unterschiedliche Spacer S400, wobei ferner der Einsatz des reaktiven Ionenätzens (RIE) die Gefahr der Beschädigung einer Gate-Isolationsschicht bzw. eines Gateoxids beinhaltet. Darüber hinaus gibt es zum Teil beträchtliche Ätzraten schwankungen, welche abhängig von einer jeweiligen Lage auf dem Wafer und von der räumlichen Dichte der Gates sind. Hierdurch ergeben sich wiederum unterschiedlich dicke Spacerstrukturen.

- 15 Insbesondere bei der Herstellung von Feldeffekttransistoren in einem Sub-100 Nanometer-Bereich, wie sie in naher Zukunft standardmäßig durchgeführt wird, sind jedoch derartige Schwankungen in den verwendeten Spacerstrukturen nicht tolerierbar. Dies liegt einerseits daran, dass der minimale Abstand zwischen benachbarten Gatestapeln G in gleicher Weise verringert wird, was in erheblichen Problemen bei der Abscheidung von Isolationsschichten und dem Freiatzen des Trägersubstrats resultiert. Da diese Spacerstrukturen somit als selbstjustierende Masken für die Ausdehnungen von implantierten Source-/Draingegebieten wirken, können derartige herkömmliche Herstellungsverfahren zur Realisierung von Spacern insbesondere bei Strukturbreiten in der Größenordnung von 30 Nanometern nicht mehr verwendet werden. Diesbezüglich sind insbesondere die Schwierigkeiten bei der Lithographie, dem Ätzen 20 des Gatestapels sowie dem Ätzen der eigentlichen Spacer zu nennen.

- Der Erfindung liegt daher die Aufgabe zu Grunde ein Verfahren zur Herstellung einer Spacerstruktur zu schaffen, welches eine erhöhte Genauigkeit aufweist.

Erfindungsgemäß wird diese Aufgabe durch die Maßnahmen des Patentanspruchs 1 gelöst.

Insbesondere durch das Ausbilden einer Gate-Isolations-
schicht, einer Gateschicht und einer Abdeck-Abscheidehemm-
schicht auf einem Halbleitersubstrat, wobei die Gate-Isola-
tionsschicht eine Gate-Abscheidehemmschicht aufweist, durch
das nachfolgende Strukturieren der Gateschicht und der Ab-
deck-Abscheidehemmschicht zum Ausbilden von Gatestapeln und
das abschließende Abscheiden einer Isolationsschicht selektiv
zu den Abscheidehemmschichten in der Gate-Isolationsschicht
und auf der Gateschicht können erstmalig Spacerstrukturen
auch in einem Sub-100 Nanometer-Bereich leicht kontrollierbar
und hoch genau ausgebildet werden. Durch den Wegfall des üb-
licherweise verwendeten reaktiven Ionenätzverfahrens besteht
darüber hinaus keine Gefahr der Beschädigung der empfindli-
chen Gate-Isolationsschichten.

Vorzugsweise wird in einem weiteren Schritt eine Implantation
zum Ausbilden von schwach dotierten Dotiergebieten im Halb-
leitersubstrat durchgeführt, wodurch man eine Kanallänge sehr
präzise und selbstjustierend unter Verwendung der Spacer-
struktur einstellen kann.

Vorzugsweise kann in einem weiteren Schritt eine weitere Iso-
lationsschicht selektiv zu den Abscheidehemmschichten zum
Ausbilden einer erweiterten Spacerstruktur und eine weitere
Implantation zum Ausbilden von Source-/Draingegebieten im Halb-
leitersubstrat durchgeführt werden, wodurch man eine Spacer-
struktur mit verbesserten Isolationseigenschaften erhält, die
geeignet ist, die Anschlussgebiete eines jeweiligen Feldef-
fekttransistors selbstjustierend auszubilden.

Vorzugsweise bestehen die Abscheidehemmschichten aus einer
Nitridschicht und/oder einer Oxinitridschicht mit einem hohen
Stickstoffgehalt, wobei beim selektiven Ausbilden der Isola-
tionsschicht eine Ozon-unterstützte TEOS-Abscheidung durchge-

führt wird. In diesem Fall erhält man nicht nur ein besonders hochwertiges Gatedielektrikum, sondern darüber hinaus eine besonders hohe Selektivität bei der Abscheidung unter Verwendung von Standard-Materialien.

5

Optional können die bei der selektiven Abscheidung entstehenden dünnen Restschichten auf den Abscheidehemmschichten durch Nassätzen entfernt werden, wodurch auf besonders einfache Weise Kontaktöffnungen für die Source-/Draingegebiete und die Gateschicht ausgebildet werden können.

10

Zur weiteren Verbesserung der elektrischen Eigenschaften der Spacerstruktur können die selektiv abgeschiedenen Isolations- schichten thermisch ausgeheilt und damit verdichtet werden.

15

Vorzugsweise werden in einem weiteren Schritt die Abscheide- hemmschichten zum Freilegen der Gateschicht und der Source- /Draingegebiete im Halbleitersubstrat entfernt, ein silizierfähiges Material ganzflächig abgeschieden und anschließend eine Umwandlung einer Oberflächenschicht des freigelegten Halblei- tersubstrats und der Gateschicht unter Verwendung des sili- zierfähigen Materials zum Ausbilden von hochleitfähigen An- schlussbereichen ausgebildet.

20

In den weiteren Unteransprüchen sind weitere vorteilhafte Ausgestaltungen der Erfindung gekennzeichnet.

25

Die Erfindung wird nachfolgend anhand eines Ausführungsbei- spiels unter Bezugnahme auf die Zeichnung näher beschrieben.

30

Es zeigen:

35

Figuren 1A und 1B vereinfachte Schnittansichten zur Veran- schaulichung wesentlicher Herstellungsschritte bei der Her- stellung einer Spacerstruktur gemäß dem Stand der Technik;

und

5.

Figuren 2A bis 2F vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Herstellungsschritte bei der Herstellung einer erfindungsgemäßen Spacerstruktur.

- 5 Figuren 2A bis 2F zeigen vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Herstellungsschritte bei der Herstellung einer Spacerstruktur gemäß der vorliegenden Erfindung, wobei beispielsweise auf einen Standardprozess zur Herstellung von CMOS-Transistoren verwiesen wird.

10

Demzufolge können zunächst (nicht dargestellte) aktive Gebiete beispielsweise mittels eines STI-Verfahrens (Shallow Trench Isolation) in einem Trägersubstrat 1, welches vorzugsweise aus einem Siliziumhalbleitersubstrat besteht, ausgebildet werden. Anschließend wird zur Realisierung einer Gate-Isolationsschicht 2 mit zumindest einer Gate-Abscheidehemmschicht 2A eine Nitridschicht wie z.B. Si_3N_4 und/oder Oxinitridschicht mit einem hohen Stickstoffgehalt (SiON) beispielsweise durch ein Abscheideverfahren auf dem Trägersubstrat 1 ausgebildet. Alternativ kann gemäß Figur 2A diese Gate-Isolationsschicht 2 auch aus einer Mehrfachschicht bestehend aus der vorstehend beschriebenen Gate-Abscheidehemmschicht 2A (Nitridschicht und/oder Oxinitridschicht mit hohem Stickstoffgehalt) und einer Oxidschicht 2B wie z.B. SiO_2 bestehen. Insbesondere im Bereich von nichtflüchtigen Halbleiterspeicherelementen können auf diese Weise verbesserte Ladungshalteeigenschaften realisiert werden.

30 Anschließend wird gemäß Figur 2A eine Steuer- bzw. Gateschicht 3 ausgebildet, wobei vorzugsweise ca. 100 bis 150 Nanometer dickes Halbleitermaterial (Polysilizium oder Poly-SiGe) abgeschieden wird.

35 An der Oberfläche der Gateschicht 3 wird ferner eine Abdeck-Abscheidehemmschicht 4 ausgebildet, die in gleicher Weise wie die Gate-Abscheidehemmschicht 2A eine Nitridschicht und/oder Oxinitridschicht mit einem hohen Stickstoffgehalt aufweist.

Vorzugsweise wird mittels eines LPCVD-Verfahrens (Low Pressure Chemical Vapor Deposition) eine ca. 5 bis 10 Nanometer dicke Siliziumnitridschicht 4 an der Oberfläche der Gateschicht 3 abgeschieden. Zur Strukturierung der aus den Schichten 3 und 4 bestehenden Schichtenfolge kann beispielsweise eine Hartmaskenschicht 5 an der Oberfläche der Abdeck-Abscheidehemmschicht 4 ausgebildet werden, wobei beispielsweise eine ca. 50 Nanometer dicke TEOS-Schicht als Oxid-Hartmaske abgeschieden wird.

10

Die eigentliche Strukturierung erfolgt anschließend unter Verwendung von herkömmlichen und daher nicht dargestellten beispielweise fotolithographischen Prozessen, wobei ein Resistmaterial aufgebracht, belichtet und strukturiert wird und anschließend unter Verwendung des strukturierten Resists zunächst die Hartmaske 5 strukturiert wird. Anschließend wird der Resist entfernt bzw. gestript und die eigentliche Strukturierung der Schichten 3 und 4 unter Verwendung der strukturierten Hartmaske 5 zum Ausbilden von Gatestapeln G durchgeführt, wobei die Gate-Abscheidehemmschicht 2A ferner als Ätzz Stoppschicht verwendet wird. Üblicherweise wird hierbei ein anisotropes Ätzverfahren verwendet; wobei abschließend die Hartmaske 5 entfernt wird und man eine Schnittansicht gemäß Figur 2B erhält.

Gemäß Figur 2C erfolgt nunmehr eine selektive Abscheidung einer Isolationsschicht 6 selektiv zu der Gate-Abscheidehemmschicht 2A zwischen den Gatestapeln G und der Abdeck-Abscheidehemmschicht 4 auf den Gatestapeln G. Insbesondere bei den vorzugsweise verwendeten Nitrid- und/oder Oxinitridschichten erhält man bei einer Oxidabscheidung Selektivitäten in einem Bereich von 5 bis 10, weshalb sich an den Seitenwänden der Gatestapel G ein hohes Oxidwachstum einstellt, während an der horizontalen Oberfläche der Abscheidehemmschichten 2A und 4 lediglich ein geringes Oxidwachstum zu beobachten ist. Unter Verwendung einer derartigen selektiven Oxidabscheidung können Spacerstrukturen mit einer Dicke von beispielsweise 12 bis 15

Nanometern leicht kontrollierbar und hoch genau eingestellt werden, weshalb nunmehr auch Feldeffekttransistoren im Sub-100-Nanometer-Bereich auf einfache und präzise Art und Weise realisiert werden können. Insbesondere müssen jedoch bei diesem Herstellungsverfahren keine zusätzlichen anisotropen Ätzverfahren wie z.B. reaktives Ionenätzen (RIE) verwendet werden, weshalb eine Beschädigung bzw. Zerstörung der sensiblen Gate-Isolationsschichten zuverlässig verhindert werden kann.

Gemäß Figur 2C können in einem optionalen Implantations-schritt nachfolgend schwach dotierte Anschluss-Dotiergebiete LDD unter Verwendung der selektiv abgeschiedenen Isolations-schicht 6 selbstjustierend im Halbleitersubstrat 1 ausgebil-det werden, wodurch effektive Kanallängen insbesondere bei sehr kleinen Strukturen unterhalb von 100 Nanometer sehr ge-nau eingestellt werden können.

Vorzugsweise wird für die selektive Abscheidung der Isolati-onsschicht 6 ein Ozon-unterstütztes TEOS-Abscheideverfahren verwendet, welches in einer herkömmlichen chemischen Gasab-scheidevorrichtung realisiert werden kann und mit dem ein O-zon-aktiviertes TEOS (Tetra-Äthyl-Ortho-Silikat) hergestellt werden kann. Das Wachstum der Isolationsschicht 6 bzw. des TEOS ist hierbei stark abhängig von den frei liegenden Sili-ziumoberflächen. Demzufolge tritt ein bedeutend geringeres TEOS-Wachstum an den Abscheidehemmschichten 2A und 4 auf, die im Falle von Nitridschichten ca. ein Fünftel des Wachstums von dem auf reinen Silizium betragen.

Vorzugsweise erhält man eine TEOS-Schicht mit einer sehr ho-mogenen Siliziumoxidschicht ohne Abweichungen in der Stöchio-metrie dadurch, dass zu Beginn einer Gasphasenabscheidung ein Gasflussverhältnis des TEOS zum Ozon sehr hoch ist und nach-folgend derart variiert wird, bis sich ein Gleichgewichtszu-stand einstellt, in dem das Gasflussverhältnis von TEOS zum Ozon gering ist.

Beispielsweise besitzt das Gasflussverhältnis von TEOS zum Ozon enthaltenden Gas den Wert 10, während es im Falle des stabilen bzw. stationären Zustands des Gasflussverhältnisses nach ca. einer Minute den Wert 0,4 aufweist. Hinsichtlich der genauen Parameter wird auf die „N. ELBEL, Z. GABRIC et al.: A new STI process spaced on selective oxide deposition, reported at the 1998 symposium on VLSI technology, Honolulu, Hawaii“ verwiesen, die ein derartiges SELOX-Abscheideverfahren beschreibt.

10

Vorteilhafterweise wird durch dieses Verfahren auch die Dicke der Abscheidehemmschichten 2A und 4 verringert, wodurch sich zu einem späteren Zeitpunkt ein vereinfachtes Entfernen dieser Schichten ergibt. Da ein derartiges Verfahren darüber hinaus bei Temperaturen zwischen 350 Grad Celsius bis 600 Grad Celsius stattfindet, können insbesondere in einem unteren Temperaturbereich die thermischen Belastungen für die auszubildenden Halbleiterschaltungen gering gehalten werden.

20 Optional kann gemäß Figur 2C ein sogenanntes „densification anneal“ oder ein zusätzlicher Oxidationsschritt zum Verdichten der selektiv abgeschiedenen Isolationsschicht 6 durchgeführt werden, wodurch sich die elektrischen Eigenschaften und insbesondere die Isolationseigenschaften dieser Schicht weiter verbessern lassen.

25 Auf diese Weise erhält man eine Spacerstruktur, die auch in einem Sub-100 Nanometer-Bereich hoch genau einstellbar ist, wobei Dickenänderungen entlang der Seitenwände lediglich in einem Bereich von 5 bis 7 % auftreten und eine hohe Unabhängigkeit von den kristallographischen Orientierungen im Substrat 1 bzw. in der Gateschicht 3 zu beobachten ist.

30 Zusätzlich zu der in Figur 2C dargestellten und bereits ausreichenden Spacerstruktur kann diese noch modifiziert bzw. erweitert werden. Beispielsweise kann die selektiv abgeschiedene Isolationsschicht mittels eines herkömmlichen Nassätz-

verfahrens derart angeätzt werden, dass die an den Abscheidehemmschichten 2A und 4 entstandenen sehr dünnen Restschichten vollständig entfernt und somit die Gate-Abscheidehemmschicht 2A und die Abdeck-Abscheidehemmschicht 4 freigelegt werden.

5

Gemäß Figur 2D kann (können) darüber hinaus eine oder mehrere weitere Isolationsschicht(en) 7 wiederum selektiv zu den Abscheidehemmschichten 2A und 4 abgeschieden werden, wobei nunmehr eine dickere vorzugsweise ca. 30 bis 50 Nanometer dicke Oxidschicht an den Seitenwänden der Gatestapel G ausgebildet wird. Das selektive Abscheideverfahren gemäß Figur 2D entspricht wiederum im Wesentlichen dem selektiven Abscheideverfahren gemäß Figur 2C, weshalb auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

15

Gemäß Figur 2D kann nach einem optionalen Entfernen der Restschichten auf der Gate-Abscheidehemmschicht 2A und der Abdeck-Abscheidehemmschicht 4 wiederum eine weitere Implantation I2 zum Ausbilden der eigentlichen Source-/Draingegebiete S/D im Halbleitersubstrat 1 durchgeführt werden, wodurch man verringerte Widerstände in den Source-/Draingegebieten und verbesserte elektrische Eigenschaften für die aus den Isulationschichten 6 und 7 bestehende Spacerstruktur erhält. Wiederum kann zur Verbesserung der elektrischen Eigenschaften der Spacerstruktur eine thermische Ausheilung stattfinden, wodurch das abgeschiedene Oxid verdichtet und die bei der Implantation entstehenden Schäden im Substrat 1 ausgeheilt werden.

30 Gemäß Figur 2E wird in einem nachfolgenden Schritt beispielsweise eine Nassätzung durchgeführt, wodurch die Abscheidehemmschichten 2A und 4 entfernt und das Halbleitersubstrat 1 sowie die Gateschicht 3 frei gelegt werden. Vorzugsweise wird bei Verwendung der Nitridschicht und/oder Oxinitridschicht 35 als Abscheidehemmschicht 2A bzw. 4 ein Nitrid-Nassätzverfahren durchgeführt.

Gemäß Figur 2F kann optional zur weiteren Verbesserung der elektrischen Leitfähigkeiten der Gateschicht 3 und der Source-/Draingegebiete S/D bzw. zur Realisierung von hochleitfähigen Anschlussbereichen zunächst silizierfähiges Material bzw.

- 5 eine silizierfähige Metallschicht wie z.B. Cobalt, Nickel, oder Platin ganzflächig abgeschieden werden. Anschließend wird eine Umwandlung der kristallinen Oberflächenschicht des Halbleitersubstrats 1 bzw. polykristallinen Oberflächen-
10 schicht der Gateschicht 3 unter Verwendung des silizierfähigen Materials zum Ausbilden von hoch leitfähigen Anschlussbe-
reichen 8 durchgeführt, wobei an den nicht mit Halbleiterma-
terial (Silizium) in Berührung stehenden Oberflächen dieses
15 Materials kein Silizid ausgebildet wird, sondern das abge-
schiedene Material (Metall) bestehen bleibt, weshalb wiederum
mittels eines vorzugsweise nasschemischen Ätzverfahrens eine
selektive Rückätzung der abgeschiedenen Schicht erfolgen
kann. Auf diese Weise kann unter Verwendung von lediglich ei-
ner Ätzkammer eine Vielzahl von Strukturierungsschritten zum
Ausbilden der Spacerstrukturen sowie der Anschlussbereiche
20 durchgeführt werden, weshalb sich die Herstellungskosten wei-
ter verringern.

Bei der Verwendung von Cobalt, Nickel oder Platin ergeben
sich als hochleitfähige Anschlussbereiche 8 Cobalt-, Nickel-
25 oder Platin-Silizidschichten, die selbstjustierend mittels
der neuartig ausgebildeten Spacerstrukturen ausgebildet wer-
den können.

Die Fertigstellung der Transistorstruktur erfolgt in üblicher
30 Weise, weshalb auf eine detaillierte Beschreibung nachfolgend
verzichtet wird.

Die Erfindung wurde vorstehend anhand eines CMOS-Transistors
beschrieben, wobei sie nicht darauf beschränkt ist und in
35 gleicher Weise sonstige Halbleiterbauelemente umfasst, die
Feldeffekttransistoren mit Spacerstrukturen aufweisen, wie
beispielsweise nichtflüchtige Halbleiterspeicherelemente.

Ferner ist die Erfindung nicht auf die beschriebenen Nitrid- und/oder Oxinitridschichten als Abscheidehemmschichten in Verbindung mit dem beschriebenen Selox-Verfahren beschränkt, 5 sondern umfasst in gleicher Weise alternative Abscheidehemmschichten und zugehörige selektive Abscheideverfahren.

Bezugszeichenliste

- 1, 100 Halbleitersubstrat
2, 200 Gate-Isolationsschicht
5 3, 300 Gateschicht
2A Gate-Abscheidehemmschicht
2B Oxidschicht
4 Abddeck-Abscheidehemmschicht
400 Isolationsschicht
10 S400 herkömmliche Spacerstruktur
5 Hartmaskenschicht
6, 7 selektiv abgeschiedene Isolationsschicht
S6, S7 Spacerstruktur
8 Anschlussbereich
15 I1, I2 Ionenimplantation
G Gatestapel
S Sourcegebiet
D Draingegebiet
LDD Anschluss-Dotiergebiet

Patentansprüche

1. Verfahren zur Herstellung einer Spacerstruktur mit den Schritten:

5 a) Ausbilden einer Gate-Isolationsschicht (2) mit einer Gate-Abscheidehemmschicht (2A), einer Gateschicht (3) und einer Abdeck-Abscheidehemmschicht (4) auf einem Halbleitersubstrat (1);

10 b) Strukturieren der Gateschicht (3) und der Abdeck-Abscheidehemmschicht (4) zum Ausbilden von Gatestapeln (G); und

c) Abscheiden einer Isolationsschicht (6) selektiv zu den Abscheidehemmschichten (2A, 4) zum Ausbilden der Spacerstruktur.

15 2. Verfahren nach Patentanspruch 1

gekennzeichnet durch den weiteren Schritt

d) Durchführen einer Implantation (I1) zum Ausbilden von Anschluss-Dotiergebieten (LDD) im Halbleitersubstrat (1).

20 3. Verfahren nach einem der Patentansprüche 1 oder 2,
gekennzeichnet durch den weiteren Schritt

e) Abscheiden einer weiteren Isolationsschicht (7) selektiv zu den Abscheidehemmschichten (2A, 4) zum Ausbilden einer erweiterten Spacerstruktur.

4. Verfahren nach Patentanspruch 3

gekennzeichnet durch den weiteren Schritt

f) Durchführen einer weiteren Implantation (I2) zum Ausbilden von Source-/Draingegebieten (S/D) im Halbleitersubstrat (1).

30 5. Verfahren nach einem der Patentansprüche 1 bis 4,

dadurch gekennzeichnet, dass die Abscheidehemmschichten (2A, 4) Nitridschichten und/oder Oxi-

35 nitridschichten einen hohen Stickstoffgehalt aufweisen und in Schritt c) und/oder Schritt e) eine Ozon-unterstützte TEOS-Abscheidung durchgeführt wird.

6. Verfahren nach einem der Patentansprüche 1 bis 5, dadurch gekennzeichnet, dass die selektiv abgeschiedenen Isolationsschichten (6, 7) an den Seitenwänden der Gatestapel (G) Spacerschichten (S6, S7) und an den Abscheidehemmschichten (2A, 4) dünne Restschichten aufweisen, wobei in einem weiteren Schicht die Restschichten durch Nassätzten entfernt werden.
- 10 7. Verfahren nach einem der Patentansprüche 1 bis 6, gekennzeichnet durch den weiteren Schritt c1) und/oder Schritt e1) Verdichten der selektiv abgeschiedenen Isolationsschichten (6, 7).
- 15 8. Verfahren nach einem der Patentansprüche 1 bis 7, gekennzeichnet durch die weiteren Schritte g) Entfernen der Abscheidehemmschichten (2A, 4) zum Freilegen der Gateschicht (3) und des Halbleitersubstrats (1); h) Abscheiden eines silizierfähigen Materials; und
- 20 i) Umwandlung einer Oberflächenschicht des freigelegten Halbleitersubstrats (1) und der Gateschicht (3) unter Verwendung des silizierfähigen Materials zum Ausbilden von hochleitfähigen Anschlussbereichen (8) für die Source-/Draingebiete (S/D) und die Gateschicht (3).
- 25 9. Verfahren nach einem der Patentansprüche 1 bis 8, dadurch gekennzeichnet, dass die Gateschicht (3) polykristallines Silizium und das Halbleitersubstrat (1) kristallines Silizium aufweist.
- 30 10. Verfahren nach einem der Patentansprüche 1 bis 9, dadurch gekennzeichnet, dass es zur Herstellung von Feldeffekttransistoren im Sub-100-Nanometer-Bereich verwendet wird.

FIG 1A
Stand der Technik

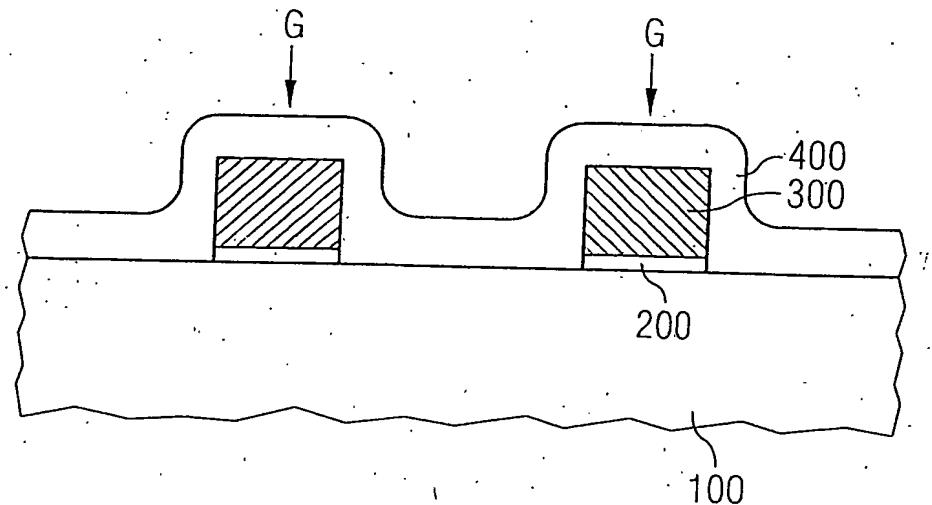


FIG 1B
Stand der Technik

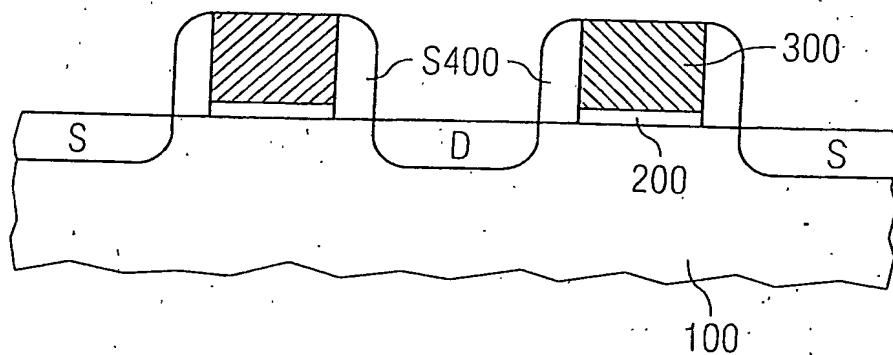


FIG. 2A

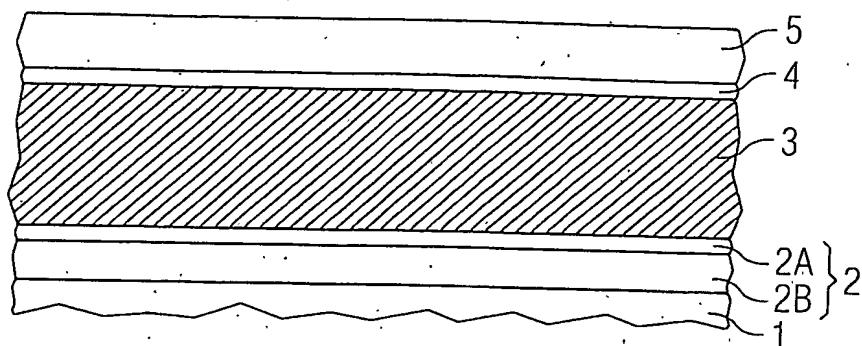


FIG 2B

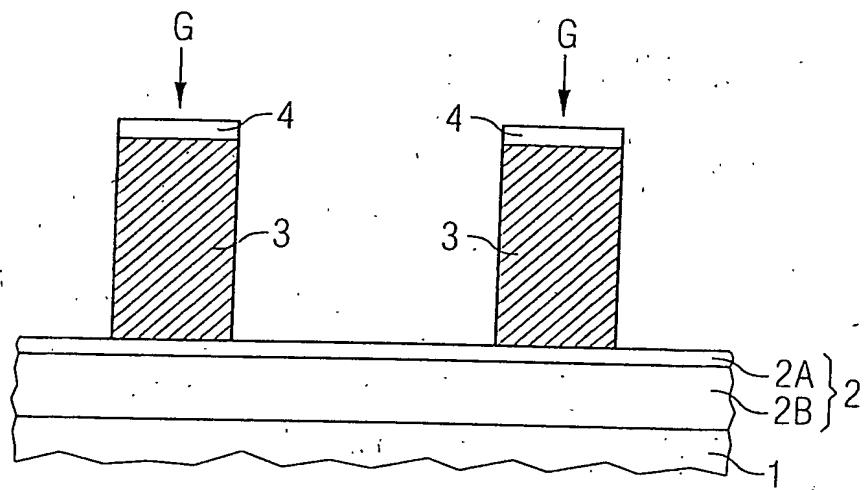


FIG 2C

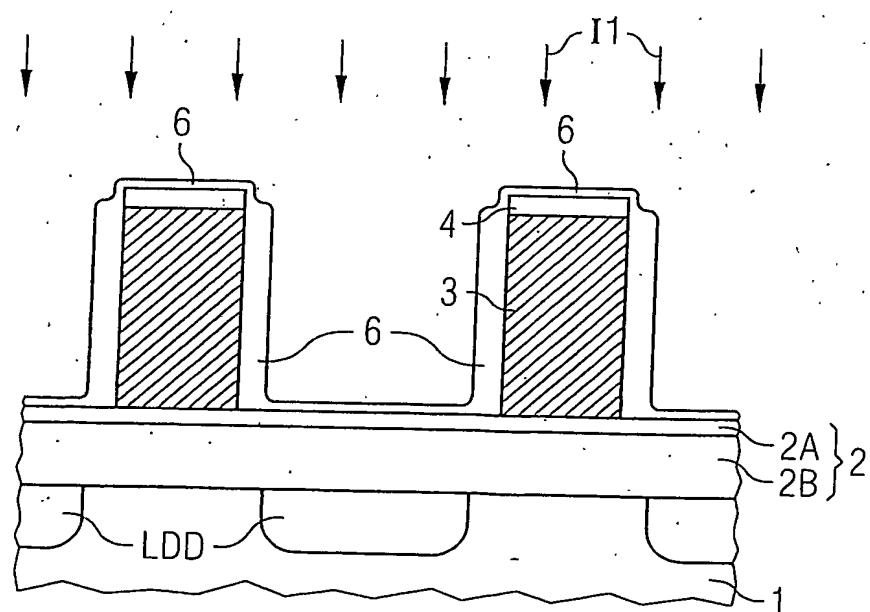


FIG 2D

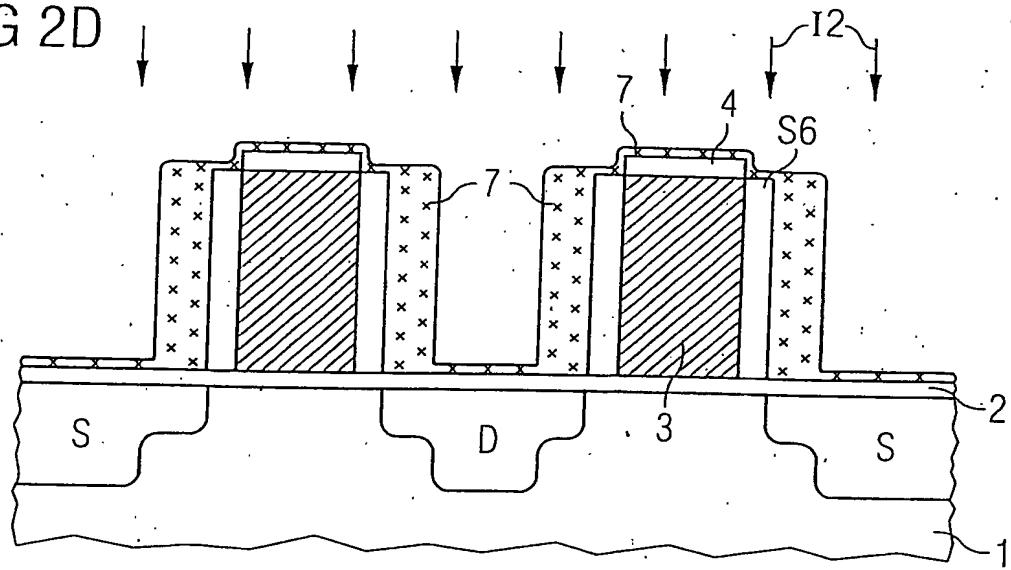


FIG 2E

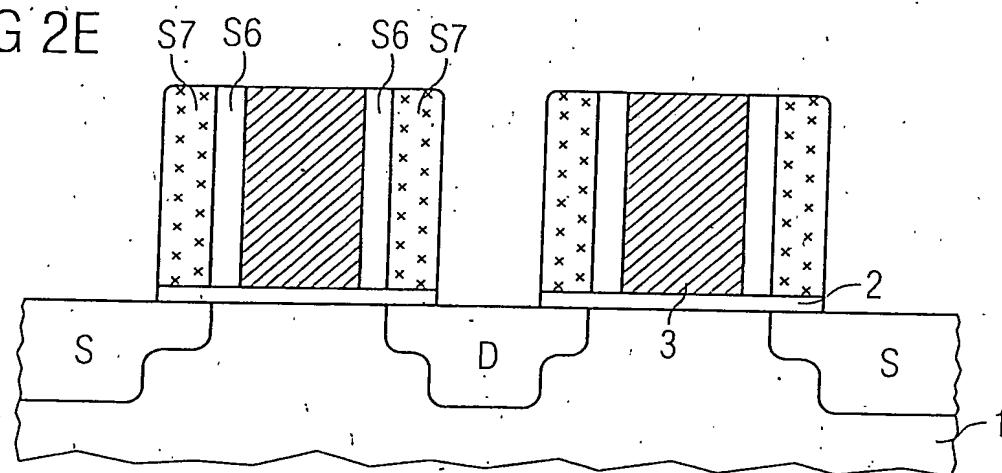
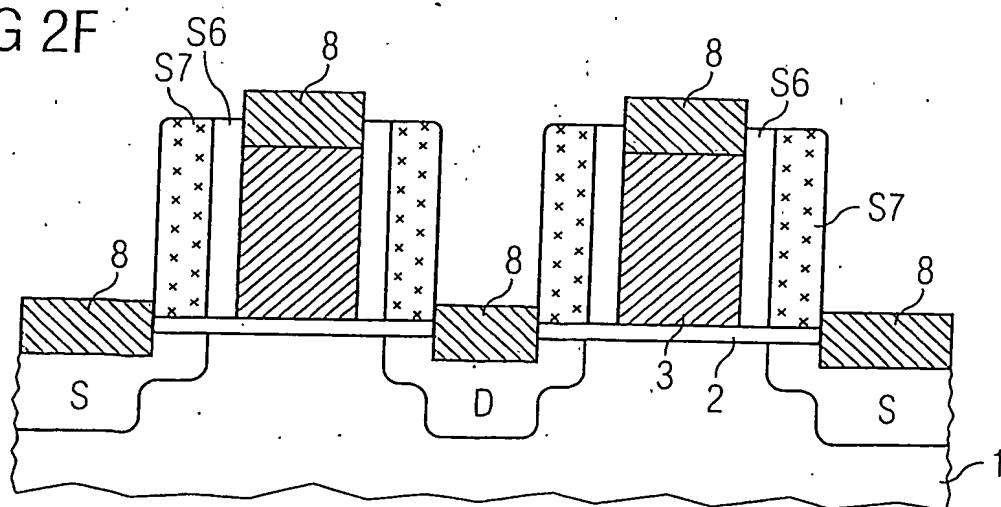


FIG 2F



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.